

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
29. Dezember 2004 (29.12.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/114135 A1

(51) Internationale Patentklassifikation⁷: G06F 11/10

(21) Internationales Aktenzeichen: PCT/DE2004/001234

(22) Internationales Anmeldedatum:
18. Juni 2004 (18.06.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 27 549.5 18. Juni 2003 (18.06.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): ROBERT BOSCH GMBH [DE/DE]; Postfach 30 02 20, 70442 Stuttgart (DE).

(72) Erfinder; und

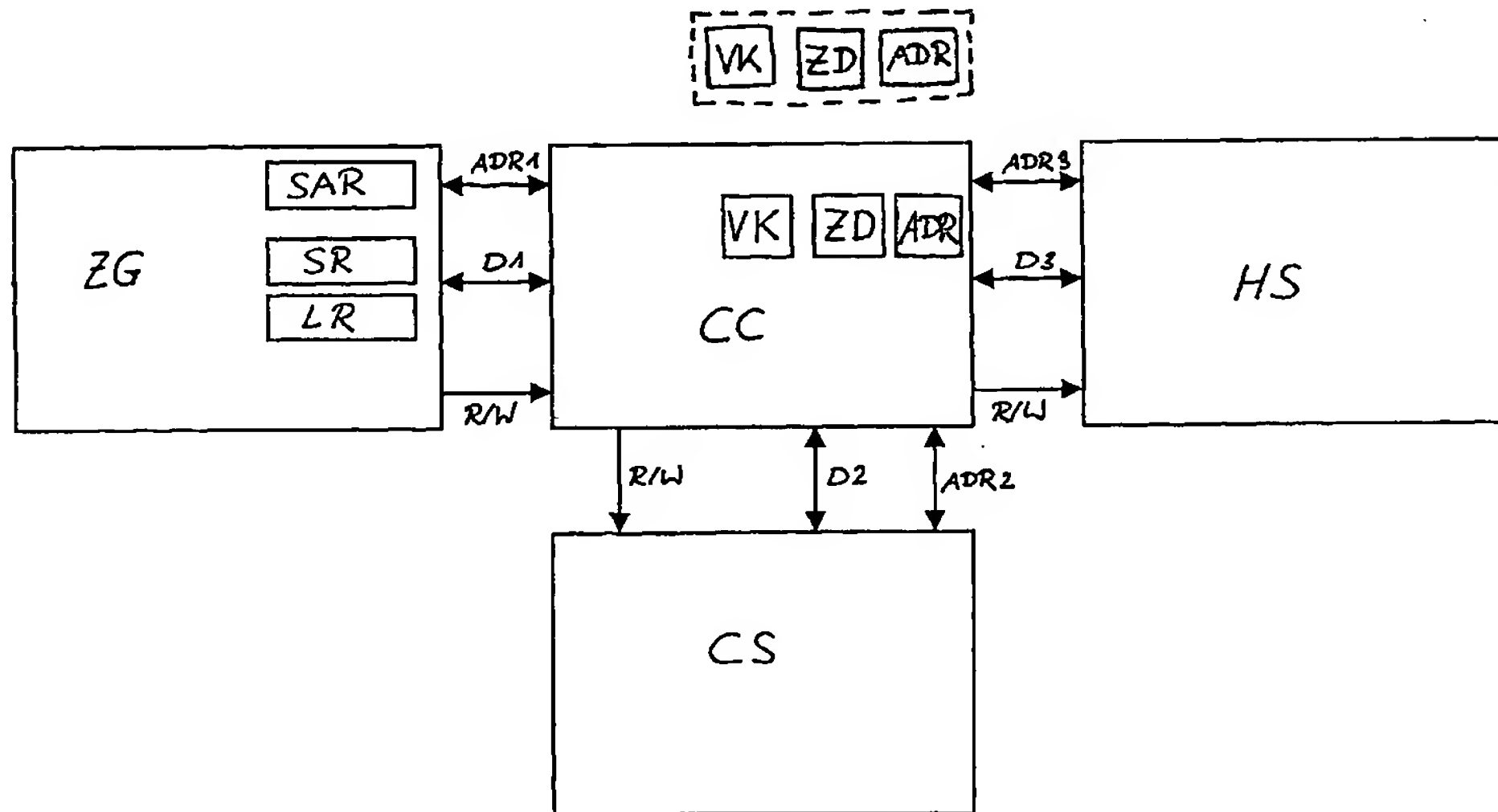
(75) Erfinder/Anmelder (nur für US): WEIBERLE, Reinhard [DE/DE]; Kalkaeckerstrasse 10, 71665 Vaihingen/Enz (DE). MUELLER, Bernd [DE/DE]; Danzigerstrasse 3, 70825 Korntal (DE). KOTTKE, Thomas [DE/DE]; Leimentalstrasse 13/1, 71139 Ehningen (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,

[Fortsetzung auf der nächsten Seite]

(54) Title: FAILURE DETECTION METHOD AND DEVICE FOR A CACHE MEMORY, AND CORRESPONDING CACHE MEMORY

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUR FEHLERERKENNUNG FÜR EINEN CACHESPEICHER UND ENTSPRECHENDER CACHESPEICHER



(57) Abstract: Disclosed is a method for detecting failures in a cache memory used for storing data, the data filed in the cache memory being accessed by means of addresses that are allocated thereto. The inventive method is characterized in that at least one test signature comprising at least one first signature bit is generated for the addresses which are allocated to the filed data and is also filed in the cache memory.

(57) Zusammenfassung: Verfahren zur Fehlererkennung bei einem Cachespeicher zur Speicherung von Daten, wobei der Zugriff auf die im Cachespeicher abgelegten Daten durch diesen zugeordnete Adressen erfolgt, dadurch gekennzeichnet, dass zu den, den abgelegten Daten zugeordneten Adressen wenigstens eine erste Prüfsignatur bestehend aus wenigstens einem ersten Signaturbit erzeugt und ebenfalls im Cachespeicher abgelegt wird.



TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT,

Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2004/001234

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G06F11/10

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, INSPEC, IBM-TDB, COMPENDEX

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Beitr. Anspruch Nr.
X Y A	US 5 345 582 A (TSUCHIYA KENICHI) 6. September 1994 (1994-09-06) Spalte 1, Zeile 7 - Spalte 1, Zeile 10 Spalte 2, Zeile 35 - Spalte 2, Zeile 63 Spalte 4, Zeile 10 - Spalte 5, Zeile 11 Spalte 5, Zeile 43 - Spalte 5, Zeile 51 Abbildungen 2a,2b	1-4, 8, 10, 13, 14 5-7, 11, 12 9
Y	WO 92/19046 A (MOTOROLA GMBH) 29. Oktober 1992 (1992-10-29) Seite 3, Zeile 22 - Seite 4, Zeile 36 Seite 5, Zeile 22 - Seite 5, Zeile 29 Ansprüche 7-9	5-7
	----- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E Älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

24. September 2004

Absenddatum des internationalen Recherchenberichts

05/10/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Johansson, U

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2004/001234

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 4 084 236 A (CHELBERG LAWRENCE W ET AL) 11. April 1978 (1978-04-11) Spalte 1, Zeile 56 - Spalte 2, Zeile 10 Spalte 16, Zeile 64 - Spalte 17, Zeile 48 Spalte 19, Zeile 24 - Spalte 19, Zeile 52 Spalte 29, Zeile 5 - Spalte 29, Zeile 17 Abbildung 7b	11,12
X	US 4 637 024 A (MCNEILL JR ANDREW B ET AL) 13. Januar 1987 (1987-01-13)	1-3,10, 13,14 4-9,11, 12
A	Spalte 1, Zeile 17 - Spalte 1, Zeile 38 Spalte 3, Zeile 24 - Spalte 3, Zeile 39 Spalte 4, Zeile 45 - Spalte 4, Zeile 57 Spalte 5, Zeile 27 - Spalte 6, Zeile 42 Abbildung 5	

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2004/001234

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5345582	A	06-09-1994	KEINE
WO 9219046	A	29-10-1992	WO 9219046 A1 29-10-1992
US 4084236	A	11-04-1978	AU 511692 B2 28-08-1980
		AU 3328078 A	23-08-1979
		CA 1106066 A1	28-07-1981
		DE 2806024 A1	24-08-1978
		FR 2381356 A1	15-09-1978
		GB 1599836 A	07-10-1981
		JP 53103328 A	08-09-1978
US 4637024	A	13-01-1987	CA 1228674 A1 27-10-1987
		DE 3585496 D1	09-04-1992
		EP 0180821 A2	14-05-1986
		JP 1673842 C	26-06-1992
		JP 3037218 B	04-06-1991
		JP 61114356 A	02-06-1986

Verfahren und Vorrichtung zur Fehlererkennung für einen Cachespeicher und entsprechender Cachespeicher

Stand der Technik

Die Erfindung betrifft ein Verfahren und eine Vorrichtung zur Fehlererkennung für einen Cachespeicher sowie einen entsprechenden Cachespeicher gemäß den unabhängigen Ansprüchen.

Die Taktfrequenz heutiger Prozessoren liegt typischerweise deutlich höher als die Frequenz, mit der auf einen insbesondere externen Speicher zugegriffen werden kann. Um diese Zeitdifferenz auszugleichen, werden Cachespeicher eingesetzt. Durch Zusammenarbeit eines solchen schnellen Pufferspeichers mit einem entsprechenden Hauptspeicher können dann die Zugriffszeiten deutlich reduziert werden. Bei fehlertoleranten Rechnern ist es heutzutage üblich, dass bei dem Cachespeicher die Daten über einen fehlererkennenden oder fehlerkorrigierenden Code (ECC Error Code Correction) abgesichert werden. Treten aber in der Logik des Cachespeichers Fehler auf, reicht diese Datenabsicherung nicht mehr. Durch immer kleiner werdende Strukturen, insbesondere der Logik des Cachespeichers, wird diese immer anfälliger, insbesondere gegen transiente Fehler.

Daher ist es Aufgabe der Erfindung, neben der Datenabsicherung auch weitere Fehlermöglichkeiten auszuschließen und so einen sichereren Cachespeicher darzustellen, als es der Stand der Technik zu leisten vermag.

Vorteile der Erfindung

Die Erfindung zeigt ein Verfahren und eine Vorrichtung zur Fehlererkennung für einen Cachespeicher sowie einen entsprechenden Cachespeicher zur Speicherung von Daten, wobei der Zugriff auf die im Cachespeicher abgelegten Daten durch diesen zugeordnete Adressen erfolgt und vorteilhafter Weise zu den den abgelegten Daten zugeordneten Adressen wenigstens eine erste Prüfsignatur, bestehend aus wenigstens einem ersten Signaturbit erzeugt und ebenfalls im Cachespeicher abgelegt wird.

Dadurch ist es möglich, neben der bekannten Absicherung der Cachedaten auch die Cachelogik durch Fehlererkennung und/oder Fehlerkorrektur abzusichern, so dass ein Cachespeicher implementiert werden kann, bei dem bei einem Lesezugriff alle Fehler erkannt werden können, da eine Überprüfung der ersten Prüfsignatur bei jedem Lesezugriff auf den Cachespeicher erfolgreich durchführbar ist.

Zweckmäßiger Weise wird das wenigstens eine abgelegte erste Signaturbit der ersten Prüfsignatur mit einem zweiten Signaturbit einer zweiten Prüfsignatur, die aus einer am Cachespeicher angelegten Adresse gebildet oder bereits mit der Adresse mitübergeben (z.B. von der die CPU enthaltenden Recheneinheit) wird, verglichen.

Um zusätzlich Fehler im Gültigkeitsbit des Cachespeichers, also dem Validbit zu erkennen, wird dieses wenigstens doppelt abgelegt. Zweckmäßiger Weise wird das Gültigkeitsbit m-fach abgelegt und mittels eines n-aus-m-Tests überprüft, wobei m und n natürlich Zahlen sind, wobei m größer als 2 und n größer als $m/2$ ist. Dadurch kann mindestens Einfehlertoleranz erreicht werden.

Dabei kann das Gültigkeitsbit auch k-fach in Form eines 1 aus k Codes abgelegt werden, wobei k einer natürlichen Zahl entspricht, wodurch vorteilhafter Weise auch Mehrfachfehler erkannt werden können, da dabei nur 1 aus 2^k Bitkombinationen entsprechend dem 1 aus k Code gültig ist.

Besonders vorteilhaft ist der Einsatz der Erfindung bei einem Instruktionscache, also bei einem Cachespeicher, bei dem als Daten nur Instruktionen, sprich Befehle abgelegt werden. Da bei diesem nahezu ausschließlich Lesefehler zu berücksichtigen sind, kann dann das erfindungsgemäße Verfahren und die erfindungsgemäße Vorrichtung sowie ein

entsprechender Cachespeicher die Absicherung bzw. Fehlererkennung und Fehlerkorrektur nahezu komplett abdecken.

Vorteilhafter Weise werden Sets bzw. Gruppen von Daten mit den entsprechenden zugehörigen ersten Prüfsignaturen zusammen unter einem ersten Zeilenindex im Cachespeicher abgelegt, wobei dieser erste Zeilenindex aus dem Cachespeicher durch Zeilendecodierung wiedergewonnen wird und mit einem angelegten zweiten Zeilenindex auf Übereinstimmung verglichen wird.

Abhängig von dem jeweiligen Vergleich der Prüfsignaturen oder des Gültigkeitsbits oder des durch Zeilendecodierung rückgewonnenen Zeilenindexes wird entsprechend ein Fehlersignal erzeugt. Dieses kann zum Einen generell erzeugt werden, also unterschiedlich bei erkanntem Fehler und bei erkannter Übereinstimmung, oder es wird lediglich bei erkanntem Fehler ein solches Fehlersignal erzeugt.

Zweckmäßiger Weise wird dieses Fehlersignal bei erkanntem Fehler dann als Cache-Miss-Signal behandelt, was zur Folge hat, dass solch fehlerhafte Daten bzw. Adressen nicht verwendet, sondern korrigiert oder ersetzt werden.

Werden vorteilhafter Weise bei Erkennung eines Fehlers die Daten bzw. Instruktionen erneut aus dem Hintergrundspeicher in den Cachespeicher geladen kann damit ein hoch verfügbares fehlertolerantes System erzielt werden, welches sich darüber hinaus durch kostengünstige Fehlererkennungsmechanismen auszeichnet.

Weitere Vorteile und vorteilhafte Ausgestaltungen ergeben sich aus der Beschreibung sowie den Merkmalen der Ansprüche.

Zeichnung

Im Weiteren wird die Erfindung anhand der in der Zeichnung dargestellten Figuren näher erläutert. Dabei zeigt

Figur 1 ein Beispiel für ein erfindungsgemäßes Cachespeichersystem und

Figur 2 zeigt symbolisch den Cachespeicher und die erfindungsgemäß vorgenommenen Vergleiche zur Fehlererkennung.

Ausführungsbeispiele

Figur 1 zeigt dabei einen Vordergrundspeicher oder Cachespeicher CS und einen Hauptspeicher oder Hintergrundspeicher HS. Weiterhin abgebildet ist ein Zugriffsgenerator ZG, der beispielsweise einer Central Processing Unit entspricht. Zwischen die Einheit, die Daten anfordert bzw. ändert, also den Zugriffsgenerator ZG und den Hintergrundspeicher HS wird eine Steuerung, der sogenannte Cachecontroller CC geschaltet, welcher die Daten im Cachespeicher CS ablegt und so für weitere Zugriffe vorrätig hält. Der Zugriffsgenerator und der Cachecontroller sind über eine Adressleitung ADR1, eine Datenleitung D1 und eine Schreib-/Leseleitung R/W miteinander verbunden. Ebenso ist der Cachecontroller CC mit dem Cachespeicher CS über eine Adressleitung ADR2, eine Datenleitung D2 sowie eine Schreib-/Leseleitung R/W verbunden. Solche Verbindungen bestehen auch zwischen Cachecontroller CC und Hauptspeicher HS mit Adressleitung ADR3, Datenleitung D3 und der Schreib-/Leseleitung R/W.

Ist nur eine Übertragungsrichtung notwendig, z. B. beim ausschließlichen Lesen von Befehlen aus dem Arbeitsspeicher bei einem Instruktionscache, also einem Cachespeicher, in dem nur Instruktionen abgelegt werden, können die R/W-Leitungen, also die Schreib-/Leseleitungen zwischen Zugriffsgenerator ZG und Cachecontroller CC sowie zwischen Cachecontroller CC und Hintergrundspeicher HS entfallen. Allerdings muss der Cachecontroller CC auf den Vordergrundspeicher oder Cachespeicher CS immer schreiben und lesen können, so dass die R-/W-Leitung zwischen Cachecontroller CC und Cachespeicher CS auch bei einem Instruktionscache erhalten bleibt.

Zugriffswünsche bestehen somit aus einer Adresse und bei Schreibzugriffen den neuen Daten sowie bei einem nicht reinen Instruktionscache der Zugriffsart, also Lesen oder

Schreiben übertragen über die R/W Read-Write-Leitung. Der Zugriffsgenerator ZG sendet solche Anforderungen oder Wünsche an den Cachecontroller CC, der diese bedient, und zwar durch geeignete Anforderungen an Cachespeicher CS und/oder Hintergrundspeicher HS. Handelt es sich bei dem Zugriffsgenerator um eine Central Processing Unit CPU oder ist dieser in der CPU enthalten, so steht die Zugriffsadresse im Allgemeinen in einem Speicheradressregister SAR und die zu schreibenden Daten in einem Schreibregister SR, wohingegen gelesene Daten im Allgemeinen in einem Leseregister LR aufgenommen werden.

Um die erfindungsgemäßen und nachfolgend noch zu erläuternden Vergleiche durchzuführen, ist eine Vergleicherkomponente VK vorgesehen. Zur Wiedergewinnung eines Zeilenindex ist ein Zeilendecodierer ZD vorgesehen, und für die Rückgewinnung der Adressinformation zum erfindungsgemäßen Vergleich ist ein Adressblock ADR vorgesehen. Je nach Anwendung kann eine unterschiedliche Anzahl von Vergleichen in der Vergleicherkomponente VK vorgesehen werden. Ebenso ist die Anwendung der Blöcke VK, ZD und ADR nicht fest und kann je nach Anwendung variieren, insbesondere können diese Blöcke vorteilhafter Weise in beliebiger Zusammensetzung auch extern zum Cachecontroller CC lokalisiert sein und mit diesem in Verbindung stehen.

Figur 2 zeigt nun erfindungsgemäße Methoden zur Fehlererkennung beim Cachespeicher, wobei die Grundvoraussetzung für den Einsatz dieses Cachespeichers die Absicherung der Adressen mit einem Fehlererkennungs- bzw. Fehlerkorrekturcode, also einer Signatur darstellt. Im einfachsten Fall kann diese Signatur nur aus einem Signaturbit, beispielsweise einem Paritybit bestehen. Andererseits kann die Absicherung auch durch komplexere ED-Codes (Error Detection) wie einen Berger-Code oder einen Bose-Lin-Code usw., oder auch durch einen komplexeren ECC-Code (Error Check and Correction) wie beispielsweise einen Hamming-Code, usw. realisiert werden, um durch entsprechende Bitzahl eine sicherere Fehlererkennung zu ermöglichen. Es kann aber auch als Codegenerator, beispielsweise eine Generatortabelle (fest verdrahtet oder in Software) verwendet werden, um bestimmten Eingangsmustern der Bits im Rahmen der Adresse ein gewünschtes Codemuster beliebiger Länge zuzuordnen.

In Figur 2 ist ein solcher Cachespeicher 100 symbolisch dargestellt. Darin sind die Bereiche 103, 104, 105, 106, 107, 108 und 110 unterschieden. In den Bereichen 105 und 107 und ff. auch in 110 usw. werden die jeweiligen Daten im Cachespeicher abgelegt,

ergänzt durch eine ECC-Signatur, um Fehler in den im Cache abgelegten Speicher zu erkennen. Die Adresssignatur A-ECC ist hier in den Blöcken 106, 108 sowie 110 und ff. abgelegt und den entsprechenden Daten gemäß der Adresse zugeordnet. Im Beispiel besteht eine solche Adresse 111 aus einem Block 112, der einen Tag oder eine Kennung enthält, welches anzeigt, zu welcher Anfangsadresse der entsprechende Datenblock wirklich gehört, da, wie in Figur 2 dargestellt, mehrere Bereiche des Hintergrundspeichers siehe Daten 105 und 107 in eine Zeile bzw. einen Set abgebildet werden. In diesem Beispiel enthält gemäß Block 102 ein Set oder eine Zeile 8 Tags von Tag 0 bis Tag 7. Block 113 enthält den Zeilenindex, durch welchen die Zeilenanwahl, hier von Zeile 0 bis Zeile 7 gemäß Block 101 erfolgt. Weiterhin und optional sind Block 114 und Block 115 die der Wort- bzw. Byteanwahl innerhalb einer Zeile und eines Tags dienen. Die Felder 114 und 115 hängen stark von der verwendeten Wortbreite der einzelnen Datenfelder ab und sind nicht zwingend. Feld 116 enthält dann die Prüfsignatur der Adresse 111, also der Felder 112 bis 115.

Es gibt nun zwei grundsätzliche Arten von Fehlern im Cachespeicher: Zum Einen Fehler, in den im Cachespeicher abgelegten Daten und zum Anderen Fehler in der Cachelogik, insbesondere dem Cachecontroller. Daten, die in einem Cachespeicher sind, sind immer noch an einer anderen Stelle im Hauptspeicher bzw. Hintergrundspeicher oder sogar in einem nicht flüchtigen Speicher abgelegt. Wenn sichergestellt ist, dass die Daten in beiden Speichern konsistent sind, also Cachespeicher und Hintergrundspeicher müssen Fehler in den Daten im Cachespeicher folglich nur erkannt, aber nicht korrigiert werden. Dieses Erkennen kann durch Absicherung der Daten mit einem ED-Code oder einem ECC-Code, wie in Figur 2 dargestellt, geschehen. Sind die Daten nicht konsistent, z.B. bei einem Datencache kann ein ECC-Code wie in Figur 2 verwendet werden.

Beim Erkennen von Fehlern in der Cachelogik wird bei einem lesenden Zugriff auf ein Datenwort im Cachespeicher bei einem direkt zuordnenden Cache zuerst mit der Zeilenanwahl, also dem Zeilenindex, die entsprechende Cachespeicherzeile ausgewählt. Anschließend wird in dieser Zeile überprüft, ob das Tagfeld 112 in dieser Zeile stimmt entsprechend Block 102 und vgl. V4, in dem das Tagfeld über den Tagfeldvergleich VTag gemäß V4 mit dem Tag aus Block 102 verglichen wird und sich bei Übereinstimmung ein Cachehit vergibt. Ist dies der Fall, also bei Cachehit, so wird bei einem gültigen Validbit V das entsprechende Wort aus der Zeile ausgelesen. Fehler in diesem Bereich der Cachelogik können in der Zeilenanwahl, dem Tagspeicher 102 und

dem Komparator für das Tagfeld auftreten. Diese Fehler wirken sich darin aus, dass auf die falsche Zeile oder auf falsche Daten im Cachespeicher zugegriffen wird.

Um Fehler im Gültigkeitsbit, also dem Validbit zu erkennen, muss dies wenigstens dupliziert werden, wird also beispielsweise in Feld 103 oder in einem anderen Feld doppelt abgelegt. Vorteilhaft ist auch ein n-aus-m-Code, also ein n-aus-m-Test, so dass bei gleichartigem Kippen mehrerer Bits durch einen Kopplungsfehler immer noch eine Erkennung stattfinden kann, wobei n und m natürliche Zahlen sind, wobei $m > 2$ und $n > m/2$ ist. Wodurch wenigstens eine Einfehlertoleranz gewährleistet werden kann.

Dabei kann das Gültigkeitsbit auch k-fach in Form eines 1 aus k Codes abgelegt werden, wobei k einer natürlichen Zahl entspricht, wodurch vorteilhafter Weise auch Mehrfachfehler bei Bittkippen erkannt werden können, da dabei nur eine Bitkombination aus 2^k Bitkombinationen entsprechend dem 1 aus k Code gültig ist und somit durch Vergleich beliebige Abweichungen von der gültigen Bitkombination erkennbar sind.

Dabei gibt das Valid- oder Gültigkeitsbit an, ob in der Cachespeicherzelle überhaupt gültige Daten vorhanden sind, da sowohl das Tagfeld als auch der Datenblock immer ein Bitmuster enthalten. Die Daten entsprechen aber anfangs nicht dem und der Adresse stehenden Wert im Hintergrundspeicher. Auch hier können individuelle Flags für Teile des Blocks vorhanden sein. In Abschnitt 104 ist ein sogenanntes Verändert- oder Dirty-Flag bzw. Bitmuster D vorgesehen, welches angibt, ob der Inhalt des Datenblocks noch mit dem Hintergrundspeicher übereinstimmt oder gelesen und anschließend verändert wurde, aber noch nicht zurückgeschrieben ist.

So werden nun die Prüfsignaturen aus den Abschnitten 106 bzw. 108 usw., also A-ECC mit dem entsprechenden Prüfmuster, also der Prüfsignatur entsprechend Block 116 gemäß Pfeil V-ECC und V2 verglichen und das Ergebnis dann entsprechend V3 mit dem korrekten geprüften Validbit überprüft, um dann bei Übereinstimmung die Aussage "gültige Daten" zu erhalten.

Die Zeilenanwahl lässt sich erfindungsgemäß als Zeilendecoder oder Zeilendecodierung betrachten. Fehler werden hier durch Zurückdecodieren der ausgewählten Zeile und Vergleich der daraus gewonnenen Adresse mit dem angewählten Zeilenindex erkannt, wie dies über Vergleich V1 dargestellt ist.

Die zusätzlich zu den in einem gängigen Cachespeicher vorgesehenen Komparatoren, also Vergleicher, hier symbolisch mit V1 bis V4 bezeichnet, können in der in Figur 1 dargestellten Vergleichskomponente VK gesammelt untergebracht sein. Die Bildung des jeweiligen Adress-ECC erfolgt im Block ADR gemäß Figur 1, und die Zeilendecodierung im Block ZD. Die Bildung des jeweiligen Adress-ECC kann auch in der CPU der Recheneinheit also insbesondere in ZG erfolgen.

Bei der Überprüfung des Tagfelds und eventuell auftretenden Fehlern geschieht der Vergleich einer besonderen Ausführungsform bitweise. Dann kann also im Fehlerfall von einem Einfachfehler ausgegangen werden. Dieser Einfachfehler wird dann durch den Fehlererkennungscode der Adresse A-ECC, der mit den entsprechenden Daten abgelegt ist, erkannt. Somit können dann alle Fehler, eben auch transiente Fehler, im Cachespeicher erkannt werden. Dies gilt für den beschriebenen Einfachfehlerfall selbst dann, wenn für die Adressabsicherung lediglich ein Prüfbit, insbesondere ein Paritybit verwendet wird. Fehler in der Wortauswahl werden ebenfalls durch Vergleich der mitgespeicherten Prüfsignatur der Adresse erkannt.

Das erfindungsgemäße Verfahren, die Vorrichtung und der entsprechende Cachespeicher kann auch eingesetzt werden, um bestimmte Fehler beim Schreiben auf einen Cachespeicher zu selektieren. Tritt bei einem Schreiben in den Cachespeicher durch einen Fehler des Cachecontrollers CC ein Adressierungsfehler auf, so kann die falsche Zeilenadresse, also der falsche Zeilenindex ebenfalls durch den Zeilendecodierer erkannt werden. Wird das Tagfeld verfälscht, so wird der Fehler durch den mit den Daten gespeicherten Fehlererkennungscode beim Wiederauslesen der Daten erkannt. Ebenso werden Fehler in den Adresscodierungsbits ebenfalls beim Auslesen erkannt.

Bei einem reinen Instruktionscache, also einem Cachespeicher, in dem nur Befehle als Daten abgelegt sind, können fast ausschließlich Lesefehler berücksichtigt werden, so dass dann ein Fehler durch die Fehlererkennung beim Auslesen sofort erkannt wird.

Werden bei Erkennung eines Fehlers die Daten bzw. Instruktionen erneut aus dem Hintergrundspeicher in den Cachespeicher geladen kann damit ein hoch verfügbares fehlertolerantes System erzielt werden, welches sich darüber hinaus durch kostengünstige Fehlererkennungsmechanismen auszeichnet. Dabei kann ein solches wiederholtes Laden aus dem Hintergrundspeicher von zwei Faktoren abhängig gemacht werden und zwar zum einen vom Fehler bzw. der jeweiligen Fehlererkennung und zum anderen vom

Daten- bzw. Instruktionsabschnitt in dem der Fehler auftrat. D.h. im einfachsten Fall werden bei Auftritt eines Fehlers die Daten (also Daten und/oder Instruktionen) komplett erneut aus dem Hintergrundspeicher in den Cachespeicher geladen. Abhängig von bestimmten Fehlern entsprechend der vorgenannten Fehlererkennungsmechanismen können auch nur Teile des zuletzt geladenen Datenbestandes erneut geladen werden (z.B. je gravierender der Fehler desto größere Datenanteile). Abhängig von diesen beiden Faktoren sind dann beliebige Abstufungen und Beziehungen möglich.

Damit kann entsprechend der erfindungsgemäßen Verfahren und Vorrichtungen sowie Cachespeichern ein sicherer und hochverfügbarer Cachespeicher angegeben werden, der auf kostengünstige Weise sowohl gegen Fehler in den Daten als auch gegen Fehler in der Cachelogik abgesichert ist.

Patentansprüche

1. Verfahren zur Fehlererkennung bei einem Cachespeicher zur Speicherung von Daten, wobei der Zugriff auf die im Cachespeicher abgelegten Daten durch diesen zugeordnete Adressen erfolgt, dadurch gekennzeichnet, dass zu den, den abgelegten Daten zugeordneten Adressen, wenigstens eine erste Prüfsignatur bestehend aus wenigstens einem ersten Signaturbit erzeugt und ebenfalls im Cachespeicher abgelegt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass eine Überprüfung der ersten Prüfsignatur bei jedem Lesezugriff auf den Cachespeicher erfolgt.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das wenigstens eine abgelegte erste Signaturbit der ersten Prüfsignatur mit einem zweiten Signaturbit einer zweiten Prüfsignatur, die aus einer am Cachespeicher angelegten Adresse gebildet wird verglichen wird.
4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das wenigstens eine abgelegte erste Signaturbit der ersten Prüfsignatur mit einem zweiten Signaturbit einer zweiten Prüfsignatur verglichen wird, die mit einer am Cachespeicher angelegten Adresse mitübergeben wird.
5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass ein Gültigkeitsbit im Cachespeicher wenigstens doppelt abgelegt wird.
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass das Gültigkeitsbit m-fach abgelegt wird und mittels n aus m Test überprüft wird, wobei m, n natürliche Zahlen

sind und $m > 2$ und $m > n > m/2$.

7. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass das Gültigkeitsbit k-fach als Bitkombination in Form eines 1 aus k Codes abgelegt wird, wobei durch Vergleich 1 Bitkombination aus 2^k Bitkombinationen als gültig erkannt wird, wobei k einer natürlichen Zahl entspricht.

8. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Daten nur aus Instruktionen bestehen.

9. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass einer Gruppe von Daten und den zugehörigen ersten Prüfsignaturen jeweils ein erster Zeilenindex im Cachespeicher zugeordnet wird und mit einem zweiten am Cachespeicher angelegten Zeilenindex verglichen wird, wobei dieser erste Zeilenindex durch Zeilendecodierung aus dem Cachespeicher wiedergewonnen wird.

10. Verfahren nach Anspruch 3 oder 4 oder 5 oder 6 oder 7 oder 9, dadurch gekennzeichnet, dass abhängig vom jeweiligen Vergleichsergebnis ein Fehlersignal erzeugt wird.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass das Fehlersignal als Cache-Miss-Signal behandelt wird.

12. Verfahren nach Anspruch einem der Ansprüche 2 bis 9, dadurch gekennzeichnet, dass abhängig vom jeweiligen Vergleichsergebnis wenigstens ein Fehler erkannt wird und bei Erkennung eines Fehlers die Daten erneut in den Cachespeicher geladen werden.

13. Vorrichtung zur Fehlererkennung bei einem Cachespeicher zur Speicherung von Daten, wobei der Zugriff auf die im Cachespeicher abgelegten Daten durch diesen zugeordnete Adressen erfolgt, dadurch gekennzeichnet, dass Mittel enthalten sind, die zu den, den abgelegten Daten zugeordneten Adressen wenigstens eine erste Prüfsignatur bestehend aus wenigstens einem ersten Signaturbit erzeugen und ebenfalls im Cachespeicher ablegen.

14. Cachespeicher mit einer Vorrichtung zur Fehlererkennung, wobei der Zugriff auf die im Cachespeicher abgelegten Daten durch diesen zugeordnete Adressen erfolgt, dadurch gekennzeichnet, dass zu den, den abgelegten Daten zugeordneten Adressen wenigstens eine erste Prüfsignatur bestehend aus wenigstens einem ersten Signaturbit erzeugt wird und diese erste Prüfsignatur im Cachespeicher abgelegt ist.

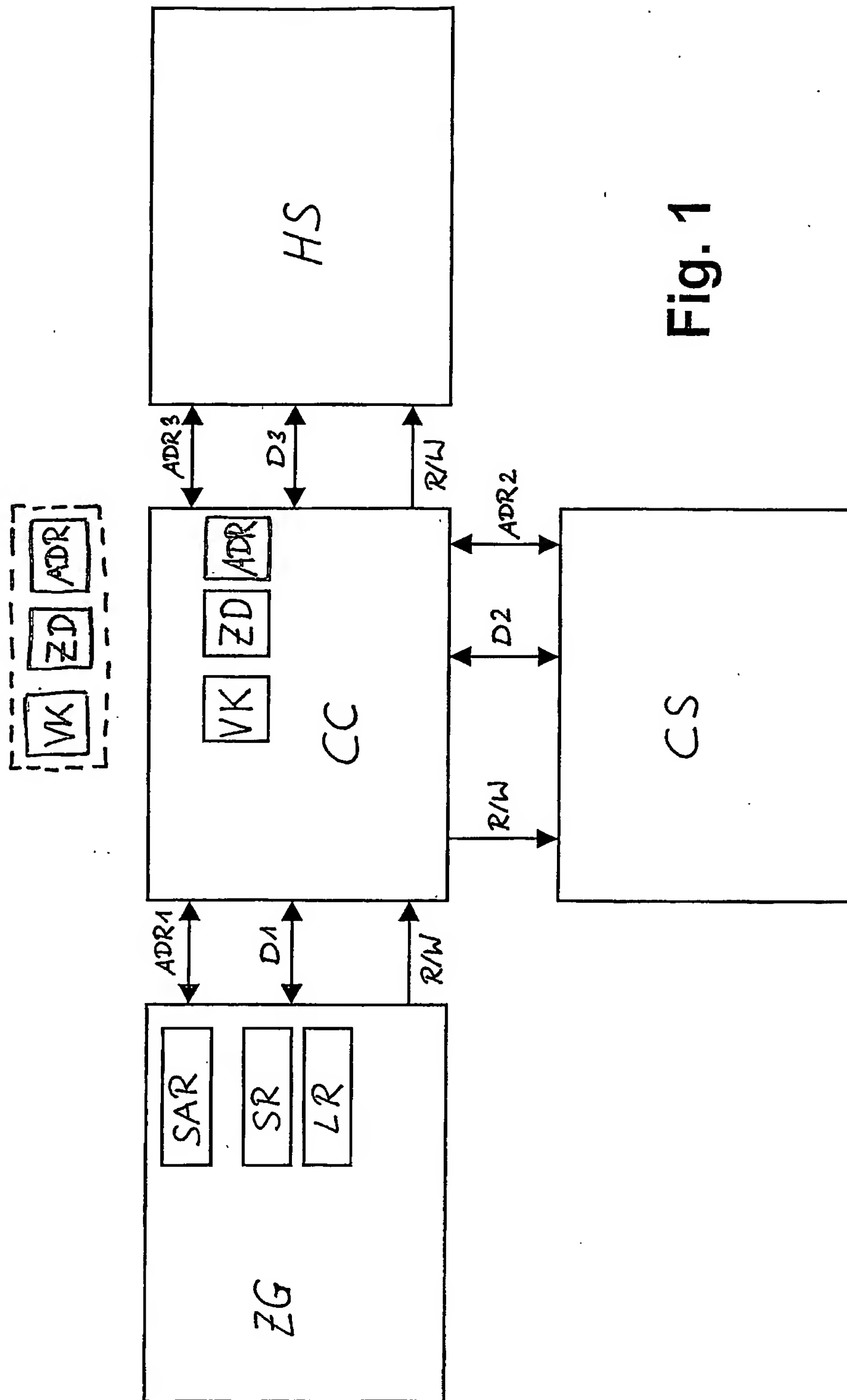


Fig. 1

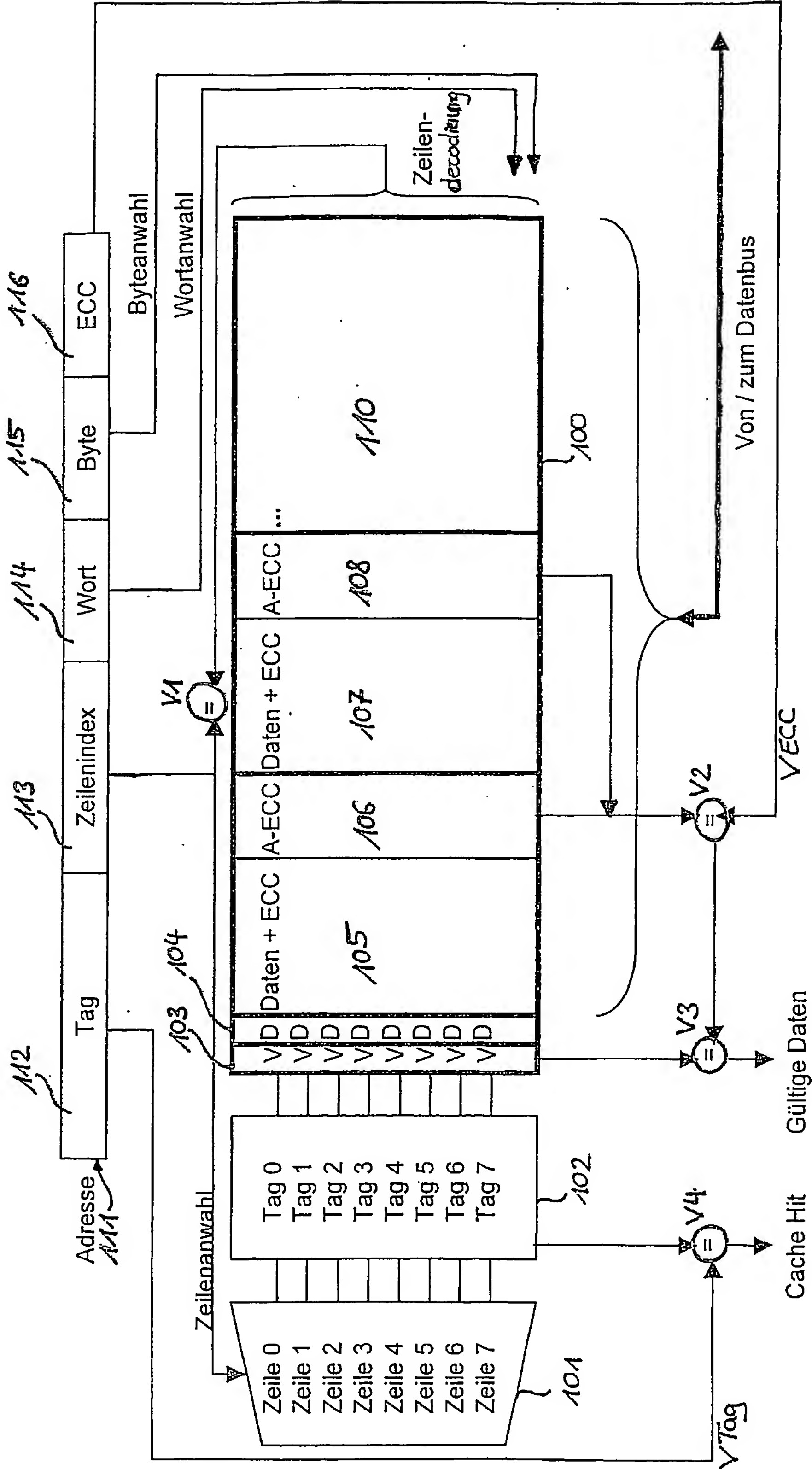


Fig. 2